










항법위성용 코드/메세지 생성기 엔지니어링 모델 개발

김진석¹, 윤광호¹, 김병균¹, 서흥석^{1†}, 김현철², 정영운², 용상순³, 석병석³, 박신무³

Navigation Satellite Code/Message Generator Engineering Model Development

Jinseok Kim¹, Kwangho Yun¹, Byeong Gyun Kim¹, Hung Seok Seo^{1†}, Hyunchul Kim²,
Yeongyun Jeong², Sangsoon Yong³, Byong-Suk Suk³, Shin-Mu Park³

¹Microinfinity, Daejeon 34012, Korea

²LIG Nex1, Gyeonggi-do 16911, Korea

³Korea Aerospace Research Institute, Daejeon 34133, Korea

ABSTRACT

Through the Space Pioneer Program, researchers are striving to develop navigation code and message generators at a level comparable to leading nations, with the aim of replacing foreign technology currently relied upon for satellite payload systems. The ultimate goal is to achieve Technology Readiness Level (TRL) 7 and develop a qualification model (QM) for navigation code and message generators tailored to the Korean satellite navigation system. To this end, various activities are undertaken, including the development of an engineering model (EM) and electrical ground support equipment (EGSE), functionality and performance testing, space environment testing, payload assembly support, and payload testing and analysis of the obtained results. This paper presents the design concept, configuration, and verification test results of the code and message generator EM. The results verify that the EM, produced using components compatible with space-grade parts for satellite integration, meets all reviewed requirements to date.

Keywords: code/message generator, engineering model, satellite payload, GNSS

주요어: 코드/메세지 생성기, 엔지니어링 모델(EM), 위성 탑재체, GNSS

1. INTRODUCTION

Global Navigation Satellite System (GNSS)는 지구를 돌고 있는 인공위성에서 송신하는 신호를 이용하여 사용자의 위치, 속도, 시각(Position, Velocity, and Timing) 정보를 제공하는 시스템으로 동기식 이동통신망, 전력망, 금융망과 같은 정밀한 시각동기가 요구되는 분야와 차량 네비게이션, 항공기 및 선박, 드론 및 자율주행 차량 등 정밀한 위치를 요구하는 다양한 응용분야에서 그 활용도가 증가하고 있다 (Kim et al. 2017).

GNSS에는 미국의 Global Positioning System (GPS), 러시아의 Global Navigation Satellite System (GLONASS), 유럽의

Galileo, 중국의 BeiDou Navigation Satellite System (BDS), 인도의 Navigation Indian Constellation (NavIC), 일본의 Quasi-Zenith Satellite System (QZSS)가 있으며, 각 나라별로 독자적으로 개발하여 운영하고 있다. 우리나라도 한국형 위성 항법시스템 (Korean Positioning System, KPS) 개발을 정부에서 공표한 바 있다 (Kim 2021), 현재 설계와 개발 중에 있다.

항법 위성은 내부 원자시계와 지상 제어국을 통해 시각 동기를 유지한 상태에서 각각의 독립된 코드 정보를 기반으로 항법메세지를 반송파 신호에 실어 지상으로 송신하는데, 항법메세지에는 위성 궤도 정보, 위성 시계 정보 등이 포함되어 있다. 위성항법 수신기는 위성 신호를 수신하여 위성별로 전송된 항법 신호 도착

Received Oct 22, 2025 Revised Nov 09, 2025 Accepted Nov 21, 2025

[†]Corresponding Author E-mail: hsseo@minfinity.com



Creative Commons Attribution Non-Commercial License (<https://creativecommons.org/licenses/by-nc/4.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

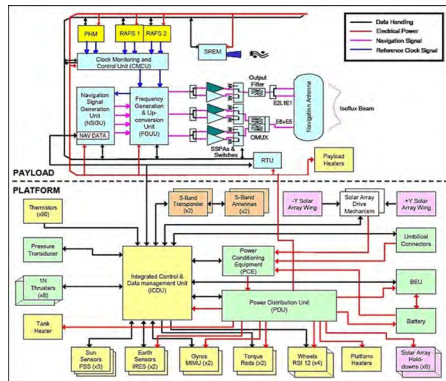


Fig. 1. Block diagram of Galileo GIOVE-B spacecraft architecture (left) and the picture of FOC NSGU test (right) (Eoport 2012, Thales Alenia Space 2020).

시간차를 이용해서 위성 수신기 간 의사거리를 계산하고 항법 메시지를 처리하여 계산한 위성 위치를 종합하여 수신기의 위치 및 시간을 결정하게 된다 (Kim et al. 2017).

항법위성용 코드/메시지 생성기(Navigation Satellite Code/Message Generator, KCG)는 GNSS를 운영하기 위해 필수적인 항법 코드와 메시지를 생성하여 기저대역(baseband) 송신 신호를 생성하는 장비이다. 주요 기능은 거리 측측을 위한 항법 코드의 생성, 궤도 정보 상태, 이력, 오차 등의 정보를 포함하는 메시지의 생성, 그리고 이들을 합성 및 변조한 기저대역 송신 신호를 생성하여 다음 단계로 제공하는 것이다. 본 연구과제는 위성탑재체 기술 중 코드/메시지 생성기의 국산화와 최종적으로 한국형 위성항법 탑재체에 활용 또는 기여하는 것을 목표로 하고 있으며 이에 따라 상위 개발목표를 만족시킬 수 있도록 세부 규격을 설정하였다 (Kim et al. 2023).

본 논문에서는 KCG 엔지니어링 모델(Engineering model, EM)의 설계 개념과 형상, 검증 시험 결과 등 개발 결과를 기술한다. 위성 탑재를 위해 우주급 부품과 호환되는 EM 부품을 주요 부품에 적용하여 하드웨어를 제작하였고, 임의로 선정된 신호의 규격을 이용하여 내부 및 외부 인터페이스와 기저대역 송신 신호에 대해 검증하였다.

본 논문의 구성은 다음과 같다. 2장에서는 기존 코드/메시지 생성기 구조에 대해 분석하고, 3장에서는 KCG EM을 설계 및 구현한다. 4장에서는 인터페이스 보드를 이용하여 검증시험을 수행한다. 마지막으로 5장은 결론이다.

2. CODE MESSAGE GENERATOR STRUCTURE ANALYSIS

현재까지 위성탑재체 신호생성기를 위한 많은 연구가 진행되었다. 한국전자통신연구원(ETRI)은 3rd Generation Partnership Project (3GPP) Non-Terrestrial Networks (NTN) 기반 입체통신 및 한국형 L6/S 위성항법 원천기술개발 연구를 통해 L6/S 항법신호 생성/수신 검증 시뮬레이터를 개발하였고, 특히 L6 위성항법신호 검증을 위한 신호생성기를 구현하고 GPS L1 항법신호의 코드 및 메시지를 기반으로 검증하였다 (Bang 2021, Kim & Lee 2021). 넷

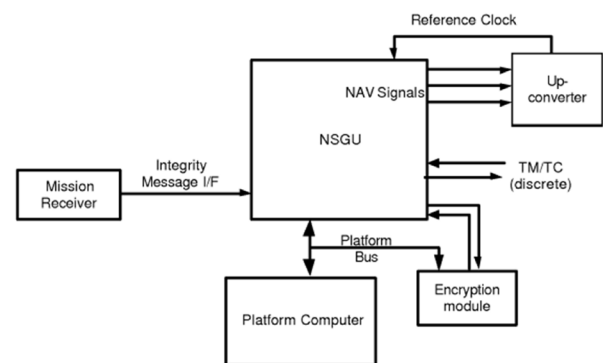


Fig. 2. Block diagram of Galileo NSGU Pre-DM interface.

커스터마이즈는 소프트웨어로 검증된 GPS 신호생성 알고리즘을 Field Programmable Gate Array (FPGA) 기반으로 구현하고, Radio Frequency (RF) 레벨에서 다중 위성신호를 실시간으로 생성 가능한 GPS 신호생성기를 구현한 바 있다 (Choi 2015).

또한 현재 운영 중인 Galileo 위성의 구조와 형상에 대해서 공개된 바 있다 (Eoport 2012, Thales Alenia Space 2020). Galileo GIOVE-B 위성체의 구조와 Full Operational Capability (FOC) 항법탑재체의 NSGU를 시험하는 모습은 Fig. 1과 같다. 이 중에서 Navigation Signal Generation Unit (NSGU)가 코드/메시지 생성기에 해당된다. NSGU를 구동하기 위한 전원은 Power Distribution Unit로부터 공급받는다. Integrated Control & Data management Unit, Remote Terminal Unit과 인터페이스하여 코드 및 메시지를 만들기 위한 항법용 데이터 등을 처리하고, Frequency Generation & Up-conversion Unit로부터 Clock Monitoring and Control Unit의 기준 클럭을 입력받아 각 대역별 항법 신호를 FGUU로 송신한다. NSGU에서 송신된 항법 신호는 FGUU를 통해 RF로 변환되고, Solid State Power Amplifier, 스위치, 필터, 출력선택기(Output MUX)를 거쳐 송신 안테나(Navigation Antenna)를 통해 지상으로 송출된다.

특히 Galileo NSGU가 수행해야 하는 기능과 구조에 대해 선행개발 모델(Pre-development model, Pre-DM)의 연구가 수행된 바가 있다 (Lindqvist et al. 2002). NSGU 선행개발 모델

의 인터페이스는 Fig. 2와 같다. 이 연구에 따르면 NSGU의 주요 기능은 지상국(up-link station)으로부터 수신된 메시지를 인증(authentication) 및 획득(acquisition), 항법용 프레임의 생성, 항법용 신호 생성 및 Code-Division Multiple Access 변조 수행, 외부 암호화 모듈로부터 받은 암호 코드와 Pseudo Random Noise (PRN) 코드를 합성하여 Public Regulated Service 채널 신호 생성 등이 있다. NSGU는 생성하게 되는 프레임 구조, 신호 필터와 칩 속도(chip rate), PRN 코드 등을 유연하게 바꿀 수 있어야 하는데, 첫 번째는 정해진 프로파일(profile)에 따라 각 채널을 바꾸는 것이고, 두 번째는 프로파일의 파라미터를 바꿀 수 있어야 하는 것이다. 프로파일은 위성에서 송출하는 신호와 메시지의 구조를 일괄적으로 전환할 수 있는 일종의 운용 모드(user mode)에 해당한다. 예를 들어, 프로파일 1은 칩 속도 1.023 Mcps, 메시지 속도 50 bps로 설정하고, 프로파일 2는 칩 속도 2.046 Mcps, 메시지 속도 100 bps로 사전에 정의할 수 있다. 이를 통해 지상 검증 시험이나 궤도 운용 시험시 프로파일을 전환하며 신호 특성을 검증할 수 있다. NSGU는 지상국의 명령에 따라 채널 별로 다섯 개의 프로파일 중 하나를 선택할 수 있어야 한다.

기존 연구에서 확인할 수 있는 것처럼 코드/메세지 생성기는 RF 상향변환기(RF upconverter)에서 결정되는 코드 지터(code jitter), 코드/반송파 위상 정렬(code-carrier phase alignment/coherency)과 같은 규격들을 제외했을 때 다음과 같은 기능을 수행해야 한다:

- 외부로부터 메시지 생성용 데이터 수신
- 수신한 데이터를 이용해 메시지 포매팅과 인코딩 수행
- 입력 클럭과 정확히 동기된 상태에서 정해진 패턴/길이의 코드를 생성
- 연결된 모듈들과 정확한 인터페이스를 수행
- 끊임없는 연속 신호 생성 및 송신

3. DESIGN AND IMPLEMENTATION

본 연구에서는 2장에서 분석한 기능을 KCG EM이 정상적으로 수행할 수 있도록 요구 규격을 선정하고, 이를 만족하도록 KCG EM을 설계 및 구현하였다. Table 1은 KCG EM의 요구 규격을 요약한 것이다. 크기와 중량은 상위 체계의 규격을 충족하도록 선정하였으며, 신호 인터페이스는 코드와 메시지가 합성된 기저대역 송신 신호를 생성하는 총 6개의 송신 채널과 메시지 생성을 위한 데이터를 수신하는 2개의 수신 채널을 구성하였다. 전기적 인터페이스 및 입력 클럭 또한 상위 체계와의 연동에 문제가 발생하지 않도록 규격을 정의하였다. 칩 속도, 주기, 비트 속도, 인코딩 방식, 변조 방식 등은 상위 체계와의 연동성과 확장성을 확보하기 위해 재설정이 가능하도록 규격을 수립하였다. 재설정 가능한 항목에 대해서는 시험 및 검증 과정에서 임의로 선정한 규격을 적용하여 성능을 검증하였다.

3.1 Hardware Design and Implementation

설계된 KCG EM의 전기적 인터페이스 블록 다이어그램은

Table 1. Specification for KCG EM.

| | Specification |
|----------------------|--|
| Size | 322 x 239 x 27 (mm) |
| Weight | < 2.0 kg |
| Signal interface | 6 transmit channels, 2 receive channels (Primary) |
| Electrical interface | LVDS, LVTTL |
| Input clock | 10.23 MHz |
| Chipping rate | Configurable (> 1.023 Mcps) |
| Chip period | Configurable (> 1 ms) |
| Bit rate | Configurable (> 25 bps) |
| Encoding | Configurable (CRC, Convolution encoding, LDPC, etc.) |
| Modulation | Configurable (BPSK, BOC, etc.) |

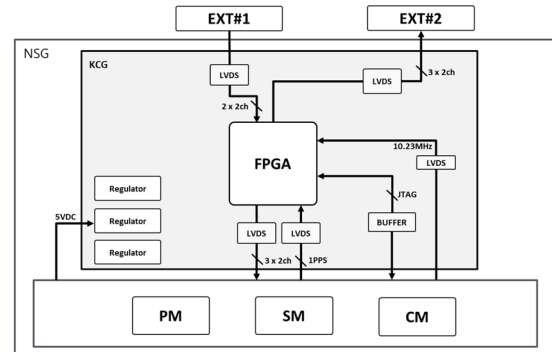


Fig. 3. Block diagram of KCG EM signal and electrical interface.

Fig. 3에 제시하였다. KCG EM는 FPGA 내부에 구현된 6개의 송신 채널을 통해 각 6개의 송신 신호를 생성하고, 2개의 수신 채널을 이용하여 두 개의 신호를 수신하도록 설계되었다. 수신 신호는 외부 모듈 1번(EXT#1)으로부터 입력되며, 송신 신호 2번 및 5번에 해당되는 메시지 데이터를 생성하기 위해 사용되도록 설계되었다. 송신 신호 1번부터 3번은 항법 신호 생성기(Navigation Signal Generator, NSG)와 연결되며, 송신 신호 4번부터 6번은 외부 모듈 2번(EXT#2)과 연동되도록 구성되어 있다. 항법 신호 생성기는 KCG EM의 상위 모듈로 전원 제어 모듈(Power control Module, PM), 시스템 제어 모듈(system Control Module, CM), 신호 처리 모듈(Signal processing Module, SM)으로 구성된다.

인터페이스 규격은 신호방식에 따라 Low voltage differential signaling (LVDS) 방식과 Low voltage transistor-transistor logic (LVTTL) 방식으로 구분되며, Primary와 Redundancy 구조로 이중화되어 각 부품과 신호의 구분을 통해 신뢰도와 안정성을 확보하도록 설계되었다. 인터페이스 신호에는 동작에 필요한 10.23 MHz 클럭 신호와 1 Pulse Per Second (IPPS) 신호 등이 포함된다. 외부 모듈 1번 인터페이스는 LVDS 방식으로 이중화된 4채널로 설계되었으며, 외부 모듈 2번 인터페이스는 이중화된 6채널로 구성되었다. 향후 인증모델(Qualification Model, QM)에서는 우주 환경에서 사용 가능한 내방사선(radiation-hardened) 부품을 적용할 수 있도록 FPGA를 포함한 주요 부품을 선정하였다. 전원은 백플레인(backplane) 커넥터를 통해 5V 전원을 공급받아 레귤레이터(regulator) 소자를 이용하여 1.2V, 2.5V, 3.3V로 변환하여 사용한다. 제작된 KCG EM의 형상은 Fig. 4에 제시되어 있다.

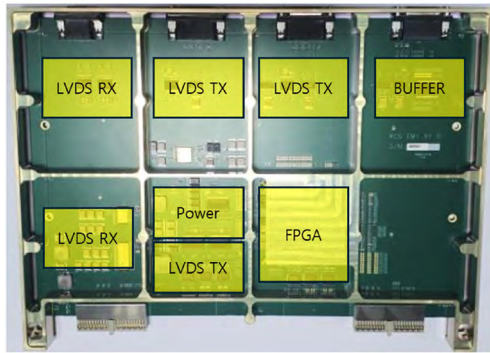


Fig. 4. Detailed image of KCG EM.

3.2 RTL Design and Simulation

KCG EM은 코드/메세지 생성을 위해 동일한 송신 블록(sig_output_block) 3개로 구성되도록 설계하였다. Fig. 5는 설계된 KCG EM의 FPGA 내부 Register Transfer Level (RTL) 블록 다이어그램이다. 각 송신 블록은 RTL 설계의 재사용성과 동작 일관성을 확보하기 위해 동일한 구조로 구현하였으며, 설정값을 통해 개별 송신 블록의 기능을 변경할 수 있도록 하여 기능 설정의 유연성을 확보하였다. 송신 블록 내부에는 송신 신호를 생성하는 신호 생성기(signal generator)와 코드와 메세지 생성을 관리하는 코드메세지 시퀀서(code/message sequencer)가 포함된다. 신호 생성기는 코드메세지 시퀀서를 통해 생성된 코드와 메세지를 합성하여 송신 신호를 생성하는 기능을 수행한다. 코드메세지 시퀀서 하위 모듈로는 코드 생성기(code generator), 프레임 포맷터(frame formatter), 프레임 인코더(frame encoder), 메모리 인터페이스(memory interface)가 있다. 코드 생성기는 설정된 길이와 패턴에 맞는 코드를 생성하고, 생성 가능한 코드는 GPS L1C/A, L2CM/CL, L5I/Q, L1C, 메모리 코드 등이 포함된다. 프레임 포맷터는 메세지 규격에 따라 입력 데이터를 조합하여 프레임을 생성한다. 프레임 인코더는 설정에 따라 컨볼루션 부호화(convolution encoding), Cyclic Redundancy Check (CRC), Low Density Parity Check (LDPC), 인터리빙(interleaving) 등의 처리를 수행하며, 메모리 인터페이스는 생성된 코드 및 메세지를 듀얼포트 메모리에 저장하거나 필요한 모듈에 전달하는 기능을 수행한다.

또한, 설정값을 저장하는 레지스터(registers), 코드 및 메세지를 저장하는 듀얼포트 메모리(dual-port memory)가 함께 구성되어 있다. 레지스터는 Serial Peripheral Interface (SPI) 래퍼(wrapper)를 통해 전달된 설정값을 저장한다. 해당 설정값의 변경을 통해 신호 생성기 및 코드메세지 시퀀서 하위 모듈의 기능 선택, 활성화 및 비활성화를 제어할 수 있다. 예를 들어, 칩 속도 조절, 코드 종류 선택, PRN 번호 설정, 부호화 종류 선택 등의 동작을 수행할 수 있다. 듀얼포트 메모리는 코드메세지 시퀀서에서 생성한 코드와 메세지를 두 개의 메모리 영역에 저장하는 기능을 수행한다. 연속적인 동작을 보장하기 위해 두 영역은 각각 현재 사용 중인 영역과 다음에 사용할 영역으로 구분되어 있다.

외부 인터페이스를 위해, SPI 래퍼, 1PPS 디코더(decoder),

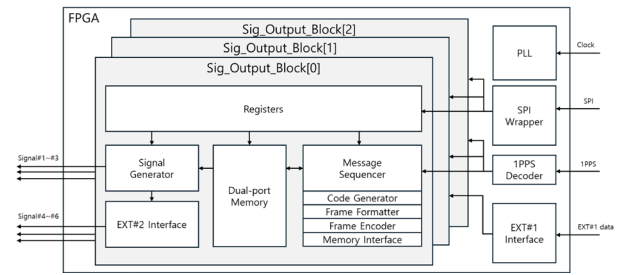


Fig. 5. RTL Block diagram of KCG EM FPGA.

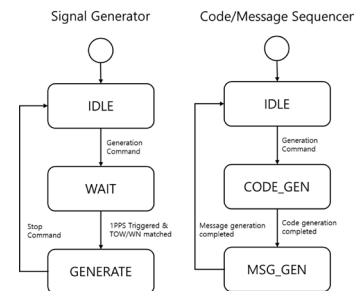


Fig. 6. State diagram of signal generator and code/message sequencer.

EXT1/EXT2 인터페이스, 그리고 입력 클럭을 이용해 필요한 주파수를 생성하는 클럭생성기(Phase Locked Loop, PLL)이 있다. SPI 래퍼는 시스템 제어 모듈로부터 전달된 SPI 신호를 주소, 데이터, 입출력 방향 신호로 구분하여, 레지스터에 설정값을 저장할 수 있도록 변환하는 기능을 수행한다. 1PPS 디코더는 신호 처리 모듈로부터 수신한 1PPS 신호를 이용하여 Time of week (TOW) 및 Week number (WN) 값을 추출하는 기능을 수행한다. EXT1 인터페이스는 송신 신호 2번 및 5번의 메세지 생성에 필요한 데이터를 수신한다. EXT2 인터페이스는 송신 신호 1번부터 3번에 대해 시리얼 부호화(serial encoding)을 하여 송신 신호 4번부터 6번 경로로 전달한다. 클럭생성기의 입력 클럭은 10.23 MHz 구형파를 사용한다.

신호 생성기는 초기상태(IDLE), 대기상태(WAIT), 신호 생성 상태(GENERATE)의 3가지 상태로 구성되며, 시스템 제어 모듈(CM)로부터 1PPS 신호, 신호 생성 명령, 신호 생성 중단 명령을 입력받는다. 신호 생성기는 리셋 신호가 비활성화된 이후 초기 상태에서 대기하며, 시스템 제어 모듈로부터 신호 생성 명령이 들어오면 대기 상태로 전이한다. 이후 1PPS 신호가 인가되면 신호 생성기는 신호 생성 상태로 진입하여, 듀얼 포트 메모리의 현재 영역에 저장된 코드와 메세지를 읽고, 이를 이용해 신호를 생성한다. 코드나 메세지 변경이 없는 경우 선택된 영역을 계속 읽게 되며, 코드나 메세지가 변경되었을 경우 듀얼포트 메모리의 선택된 영역을 바꿈으로써 신호 생성 단계에서 송신 중단 없이 메세지 변경을 할 수 있다. 또한, 시스템 제어 모듈로부터 신호 생성 중단 명령이 들어오면 다시 초기 상태로 이동한다.

코드메세지 시퀀서는 초기상태(IDLE), 코드 생성 상태(CODE_GEN), 메세지 생성 상태(MSG_GEN)의 3가지 상태로 구성되며, 시스템 제어 모듈로부터 신호 생성 명령을 입력 받는다.

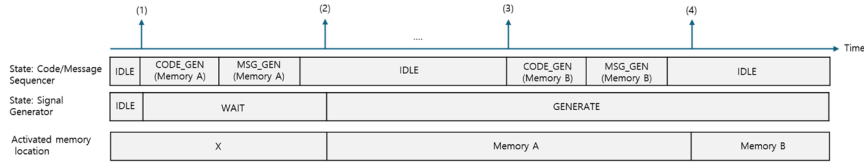


Fig. 7. Timing diagram for the code/message sequencer, signal generator, and activated memory location.

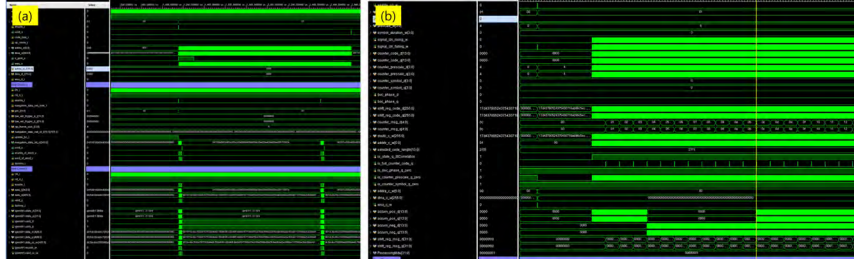


Fig. 8. RTL simulation result: (a) code/message sequencer and (b) signal generator.

리셋 신호가 비활성화된 이후 초기 상태에서 대기하다가 신호 생성 명령이 입력되면 코드 생성 및 메시지 생성 상태로 전이하여 코드와 메시지를 순차적으로 생성한다. 이 때 듀얼포트 메모리의 현재 사용중인 영역과 다른 영역에 결과를 기록하여 신호 생성기가 갱신된 코드 및 메시지를 읽을 수 있도록 한다. 코드 및 메시지 생성이 완료되면 코드메세지 시퀀서는 초기 상태로 복귀하여 다음 신호 생성 명령을 대기한다. 프레임 포매팅 및 인코딩은 코드메세지 시퀀서의 메시지 생성 상태에서 수행되며, 신호 생성기와 코드메세지 시퀀서의 상태 전이도는 Fig. 6과 같다.

신호 생성기와 코드메세지 시퀀서의 타이밍도는 Fig. 7과 같다. (1) 신호 생성 명령이 입력되면 신호 생성기는 대기 상태로 전이하고, 코드메세지 시퀀서는 코드와 메시지 생성을 수행한다. (2) 이후 신호 송신을 시작해야 하는 시점이 되면 신호 생성기가 신호 송신을 개시한다. (3) 새로운 메시지가 필요한 시점이 되면 코드 및 메시지 생성 명령에 의해 코드메세지 시퀀서가 동작을 수행하며, 현재 활성화된 메모리 영역의 반대편 영역에 결과를 저장한다. (4) 마지막으로, 신호 생성기가 새로운 메시지로 전환해야 하는 시점이 되면 신호 생성기는 활성 메모리 영역을 변경하여 연속적인 동작을 유지한다.

RTL로 구현된 신호 생성기와 코드메세지 시퀀서의 동작은 시뮬레이션 도구 Vivado simulator를 이용하여 검증하였다. 각 모듈의 설정값을 입력하여 테스트 벤치를 구성하고, 설정된 타이밍에 따라 신호 생성기와 코드메세지 시퀀서의 동작을 확인하였다. RTL 시뮬레이션 결과 화면은 Fig. 8과 같다.

시뮬레이션을 통해 검증된 RTL은 Microchip Libero를 이용하여 컴파일하였으며, 컴파일 후 리소스 사용 내역은 Table 2와 같다.

3.3 Interface Board

인터페이스 보드는 KCG EM의 기능 검증을 위해 전원 공급을 포함한 모든 인터페이스를 구현하고, 데이터 저장 및 분석이 가

Table 2. Resource usage of FPGA.

| | Total | Used |
|-------------|---------|--------|
| 4LUT | 151,824 | 49,862 |
| DFF | 151,824 | 45,109 |
| User I/O | 720 | 60 |
| RAM1K18 | 209 | 67 |
| CCC | 8 | 2 |
| ROSC_50 MHZ | 1 | 1 |
| SYTSESET | 1 | 1 |
| GRESET | 1 | 1 |
| RGRESET | 206 | 1 |

능하도록 설계하였다. 각 신호의 전기적 규격을 맞추기 위해 로직 레벨 변환기(logic level translator)를 적용하였으며, 데이터 처리 및 저장을 위해 FPGA 평가 모듈(Evaluation module, EVM)을 사용하였다. 또한 표준 FPGA Mezzanine Card (FMC) 커넥터를 사용하여 FPGA EVM과 상호 연결하였다. FPGA EVM은 KCG EM의 SPI 제어, EXT1 신호 및 1PPS 신호 생성, KCG EM 송신 신호 1번부터 6번에 대한 코드 상관 및 상관값 기반 메시지 비트 추출 및 저장, 터미널을 통한 상태 표시 기능을 수행한다. Fig. 9는 인터페이스 보드의 블록 다이어그램이다. 제작된 인터페이스 보드의 형상은 Fig. 10에 제시되어 있다.

4. TEST AND VERIFICATION

4.1 Test setup

본 연구에서 개발한 KCG EM은 기저대역 송신 신호를 생성하는 모듈로, 이 후 단계의 RF 상향변환 및 지상송신 기능은 별도의 모듈에서 수행되기 때문에, 개발된 모듈이 의도한 기능을 정상적으로 수행하는 지, 즉 기저대역 신호가 규격에 따라 정확히 생성되고 인터페이스를 통해 정상적으로 송신되는 지를 검증하는데 중점을 두었다.

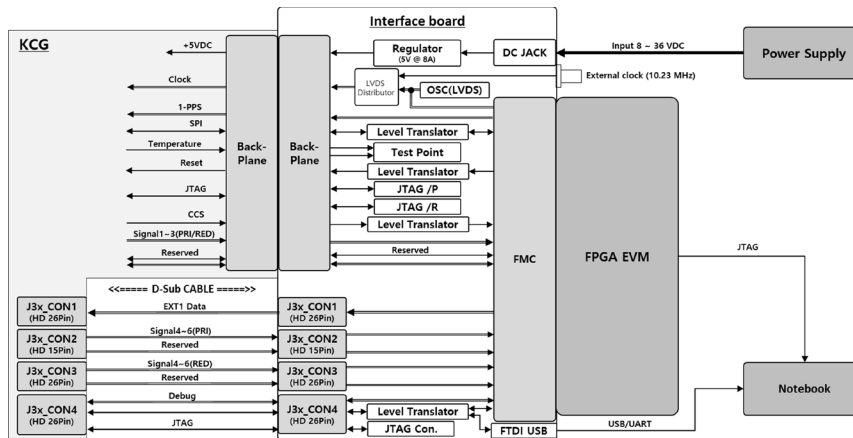


Fig. 9. Block diagram of interface board.

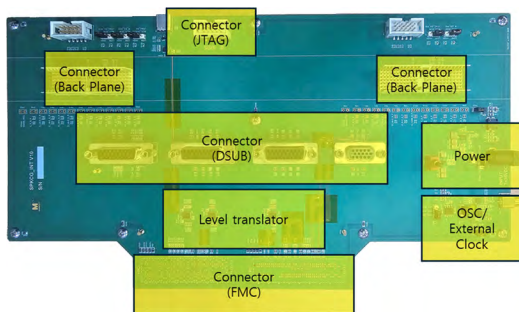


Fig. 10. Detailed image of interface board.

Table 3. Signal specification for verification.

| | Signal 1 & 4 | Signal 2 & 5 | Signal 3 & 6 |
|---------------------|--------------|-----------------|--------------|
| Modulation | BPSK(2) | BPSK(5) | BOC(1,1) |
| Code type | Weil code | Weil code | Weil code |
| Chip rate (Mcps) | 2.046 | 5.115 | 1.023 |
| Chip period (ms) | 5 | 2 | 10 |
| Bit rate (bps) | 50 | 4000 | 25 |
| Encoding | CRC | Serial encoding | CRC |
| Symbol rate (sps) | 50 | 500 | 25 |
| Frame length (bits) | 1500 | 4000 | 1500 |
| Frame length (sec) | 30 | 1 | 60 |

기능 검증을 위해 Table 3과 같이 신호 규격을 설정하였다. 각 신호 송신 채널의 설정값을 다르게 사용하고 구현된 기능 중 일부를 활성화하여 송신 신호를 각각 생성하였다. 코드는 송신 신호 모두에 대해 GPS LIC의 파일럿 코드(Weil Code)를 사용하였다. 메시지 프레임은 송신 신호 1번, 3번, 4번, 6번은 GPS Civil Navigation (CNAV)와 유사한 구조를 사용하고 송신 신호 2번과 5번은 EXT1을 통해 수신되는 데이터를 사용하였다. 또한, 송신 신호 4번부터 6번은 각각 송신 신호 1번부터 3번에 시리얼 인코딩(serial encoding)을 적용하여 생성하였다.

메세지 프레임의 구조는 300비트 서브 프레임 5개로 구성하였고, 하나의 서브 프레임은 프리앰블(Preamble), 코드 번호(PRN), 서브프레임 ID (Subframe ID), 시각정보(TOW/WN), 메세지 콘텐츠(Message contents), CRC 필드로 나뉜다. 각 필드별로 고정값, 생성 값, 외부 입력 등으로 메세지 생성방식이 나뉜다. 신호

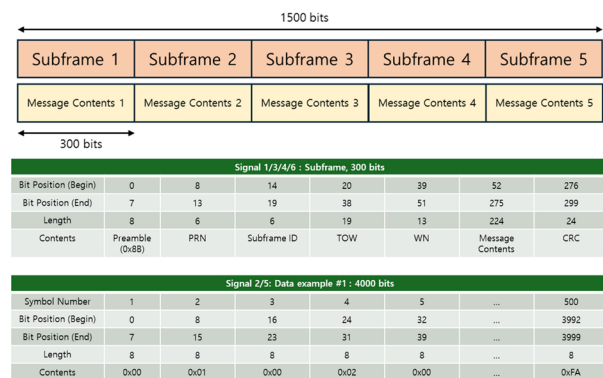


Fig. 11. Detailed frame structure: (top) frame and subframe structure for signal 1&4 and 3&5; (middle) subframe configuration for signal 1&4 and 3&5; (bottom) data example for signal 2 and 5.

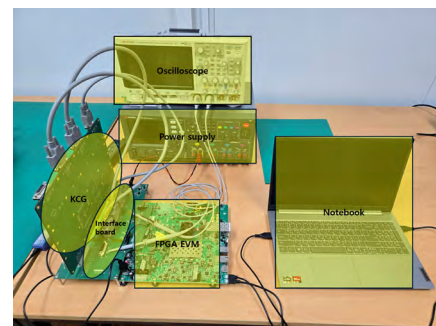


Fig. 12. Experiment environment.

2번과 5번에 사용되는 데이터는 0부터 증가하는 16비트 증분값으로 구성하였다. 각 신호별 메세지 프레임 구조와 데이터 예시는 Fig. 11에 제시하였다.

시험 1은 KCG EM의 인터페이스 규격 준수 여부를 확인하였고, 시험 2는 총 6개의 신호에 대해 계측기, 인터페이스 보드, FPGA EVM을 활용하여 코드 및 메세지의 정상 여부를 검증하였다. 시험 환경은 Fig. 12에 제시하였다.



Fig. 15. Detailed image of verification result: FPGA EVM terminal.

모형을 설계하고 구현하였다. 상위 규격을 만족시킬 수 있도록 개발 목표를 수립하고, 이를 충족할 수 있도록 부품을 선정하여 하드웨어를 제작하고, 코드/메세지 생성 로직을 설계 및 구현하여 FPGA에 탑재하였다. 설계 및 구현한 코드/메세지 생성기의 동작확인을 위해 각 인터페이스 및 기저대역 송신 신호를 대상으로 인터페이스 보드, FPGA EVM, 계측기를 활용하여 검증하였다. 그 결과, LVDS 및 LVTTTL 인터페이스와 6개의 기저대역 송신 신호 모두에서 설정한 규격을 만족하는 것을 확인하였다.

향후 연구에서는 신호 규격과 인터페이스를 갱신하여 검증을 수행할 계획이며, 또한 확장된 EGSE를 이용한 기능 및 장기 성능 시험, 환경시험, 상위 체계 연동 시험 등을 통해 성능을 평가하고 결과를 분석할 예정이다.

ACKNOWLEDGMENTS

본 연구는 우주항공청의 스페이스파이오니어사업에 의해 수행되었습니다 (RS-2021-NR117705).

AUTHOR CONTRIBUTIONS

Conceptualization, Hung Seok Seo; Hardware design and implementation, Jinseok Kim, Kwangho Yun and Byeong Gyun Kim; RTL design and implementation, Jinseok Kim; Design review, Jinseok Kim, Kwangho Yun, Byeong Gyun Kim, Hyunchul Kim, Yeongyun Jeong, Shin-Mu Park, Sangsoo Yong and Byong-Suk Suk, Experiment execution and data analysis, Jinseok Kim, Kwangho Yun and Yeongyun Jeong; Writing, review and editing, Jinseok Kim, Kwangho Yun, Byeong Gyun Kim and Hung Seok Seo; Project administration, Hung Seok Seo.

CONFLICTS OF INTEREST

The authors declare no conflict of interest.

REFERENCES

- Bang, S. 2021, Study on 3D Communication Standard Technologies and Satellite Navigation Core Technologies: The 3rd Year Report, in Research on Hyper-Connected 3D Communication Technologies Beyond Connectivity Limits, Daejeon, Republic of Korea, <https://ksp.etri.re.kr/ksp/report/file/35296.pdf>
- Choi, J., Kim, Y., & Ahn, M. 2015, An Implementation of a GPS Signal Generator based on FPGA and Indoor Positioning System, Journal of Satellite, Information and Communications, 10, 38-43. <https://www.koreascience.kr/article/JAKO201571360572766.pub>
- Eoportal 2012, GIOVE-B (Galileo In-Orbit Validation Element-B), <https://www.eoportal.org/satellite-missions/giove-b#navant-navigation-antenna>
- Kim, H., Yun, S., Jung, Y., Park, S., Kim, D., et al. 2023, Code/Message Generator Development for Navigation Satellite. in Proc. of the Korean Society for Aeronautical and Space Sciences Spring Conference, Jeju, Korea, Apr. 2023, pp.391-392.
- Kim, T. 2021, Status of the Korea Positioning System (KPS), presented at the 61st Meeting of the Civil GPS Service Interface Committee (CGSIC), St. Louis, MO, USA, 20-21 Sep 2021. <https://archive.gps.gov/cgsic/meetings/2021/kim.pdf>
- Kim, T. & Lee, S. 2021, Implementation of Signal Generator for L6 Signal Verification, in Proc. of the Korean Institute of Communications and Information Sciences Summer Conference, Jeju, Korea, 16-18 Jun 2021, p.979.
- Kim, T., Sin, C., & Yom, I. 2017, Technical Trends of GNSS Signal Generator, Electronics and Telecommunications Trends, 32, 98-106. <https://ettrends.etri.re.kr/ettrends/165/0905002210/>
- Lindqvist, P.-O., Kurvin, C., Löw, A., & Kaufmann, R. 2002, Architecture of a signal generator for the Galileo global satellite navigation system, in Proc. Data Systems in Aerospace, Dublin, Ireland, 13-16 May 2002, pp.7.1-7.5.
- Thales Alenia Space 2020, NSGU delivered to SurreySat for Galileo satellites. https://twitter.com/thales_alenia_s/

status/1321816855389065219



Jinseok Kim is an RTL design engineer in the GNSS team at Microinfinity Co., Ltd. He received his B.S. in Electrical Engineering from KAIST in 2006. His current research interests include GNSS receiver architectures for FPGA and ASIC development.



Kwangho Yun received his Bachelor's degree in Computer Engineering from Hanbat National University in 2007. He joined Navicom Co., Ltd. in 2002 and has 23 years of experience in navigation hardware development. He was appointed Principal Researcher Engineer at Microinfinity Co., Ltd. in 2021.



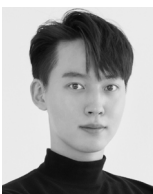
Byeong Gyun Kim is a principal research engineer at Microinfinity Co., Ltd. in Korea. He received his B.S and M.S degrees from Chungnam National University in 1999 and 2011, respectively. His research has included work on developing innovative approaches to GNSS anti-jamming and exploring new methods for improving GNSS receiver performance.



Hung Seok Seo received the Doctor of Engineering degree in Electronics from Chungnam National University in 2003. He joined Navicom Co., Ltd. in 2002 and has 24 years of experience in navigation. He works as a senior researcher for Microinfinity in 2023.



Hyunchul Kim received the M.S. degree from Korea University in 2014. He is currently working as a senior researcher at LIG Nex1. His current research interests include navigation satellite code/message generator and related subsystem.



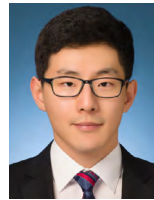
Yeongyun Jeong is a hardware engineer at LIG Nex1 Co., Ltd. in Korea. He received his B.S. from Kyonggi University. His current research interest includes navigation satellite code/message generator.



Sangsoon Yong received the Doctor of Engineering degree in Electronics from Chungnam National University in 2008. He joined Korea Aerospace Research Institute (KARI) in 1991 and has developed several payloads for national LEO and GEO satellites. He now leads the Space Pioneer Program, developing the key technology of launch vehicle and satellite linked to the national space plan.



Byong-Suk Suk received the Doctor of Engineering degree in Electronics from Chungnam National University in 2007. He joined Korea Aerospace Research Institute (KARI) in 1994 and has 31 years of experience in spacecraft subsystem and systems engineering. He has worked as a systems engineer for Space Pioneer Program Office (SPPO) of KARI since 2021.



Shin-Mu Park is a researcher in Space Pioneer Program Office at Korea Aerospace Research Institute. He received his B.S and M.S degrees from Jeonbuk National University in 2018 and 2020, respectively. He works for the project management of Space Pioneer Program's 16 national space key technology developments.

